

日本国特許庁  
JAPAN PATENT OFFICE

Yaguchi et al  
Filed 2/13/04  
Q 79930  
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月17日  
Date of Application:

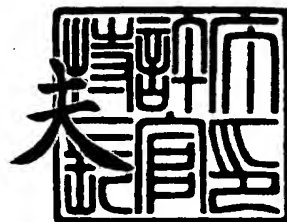
出願番号 特願2003-038419  
Application Number:  
[ST. 10/C]: [JP 2003-038419]

出願人 株式会社NEC情報システムズ  
Applicant(s):

2003年11月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 04100103

【提出日】 平成15年 2月17日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号  
                                株式会社エヌイーシー情報システムズ内

    【氏名】 矢口 貴宏

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号  
                                株式会社エヌイーシー情報システムズ内

    【氏名】 恵谷 誠至

【特許出願人】

    【識別番号】 394017491

    【氏名又は名称】 株式会社エヌイーシー情報システムズ

【代理人】

    【識別番号】 100084250

    【弁理士】

    【氏名又は名称】 丸山 隆夫

    【電話番号】 03-3590-8902

【手数料の表示】

    【予納台帳番号】 007250

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9707929

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 基板層数見積もりシステム、方法、プログラム

【特許請求の範囲】

【請求項 1】 基板の配線設計にて、前記基板を形成する基板層の構造の情報または基板層の数の情報と、基板層に取り付ける各ピンの位置の情報と、基板層に設けるヴィアの形状の情報を記憶する記憶手段と、前記記憶手段に記憶された各情報を参照し、所定の配線結果を出力する出力手段とを有し、基板層の必要総数を決定する基板層数見積もりシステムであって、

既に基板を形成している基板層の層構成の情報と、後に追加する基板層の層構成の情報と、それらの層構成全体の順番の情報を参照して新規の層構成を生成し、前記新規の層構成の情報を前記記憶手段に記憶させる層追加手段と、

前記新規の層構成の基板層に取り付ける各ピンの位置の情報と、各ピンの接続関係の情報と、既存のヴィアの情報参照して新規のヴィアを生成し、前記新規のヴィアの位置の情報および形状の情報を前記記憶装置に記憶させるヴィア生成手段と、

前記新規の層構成に既存の配線の情報と、配線を引くことを不可とする既存の配線禁止領域の情報と、前記新規のヴィアの情報参照して新規の配線禁止領域を生成し、前記新規の配線禁止領域の情報を前記記憶手段に記憶させる配線禁止領域生成手段と、

前記記憶手段に記憶されている前記新規の層構成の情報、前記新規のヴィアの情報、前記新規の配線禁止領域の情報を参照して、新規の配線経路を検出し、前記新規の配線経路を備えた前記新規の層構成、総数を前記出力手段に出力する配線経路検索手段を有することを特徴とする基板層数見積もりシステム。

【請求項 2】 基板層に取り付ける各ピンにて、少なくとも 2 つ以上のピンをまとめて取り扱い、1 つのピン群を形成するものとし、あるピン群と他のピン群の接続関係はピン群を構成するピンの接続の組み合わせ（ネット割り当て）に依らないことを特徴とし、

前記ヴィア生成手段は、さらに各ピン群の位置の情報と、各ピン群の接続関係の情報も参照して、新規のヴィアを生成し、前記新規のヴィアの位置の情報およ

び形状の情報を前記記憶手段に記憶させ、

前記配線経路検索手段は、前記記憶手段に記憶されている新規のビアの情報を参照することで、さらに前記ネット割り当ても前記出力手段に出力することを特徴とする請求項 1 に記載の基板層数見積もりシステム。

【請求項 3】 前記配線経路検索手段が前記新規の層構成、総数を前記出力手段に出力するときは、前記新規の配線経路の確保率が 1 0 0 % のときであることを特徴とする請求項 1 または 2 に記載の基板層数見積もりシステム。

【請求項 4】 基板の配線設計にて、前記基板を形成する基板層の構造の情報または基板層の数の情報と、基板層に取り付ける各ピンの位置の情報と、基板層に設けるビアの形状の情報を記憶する記憶手段と、前記記憶手段に記憶された各情報を参照し、所定の配線結果を出力する出力手段とを有し、基板層の必要総数を決定する基板層数見積もりシステムによる基板層数見積もり方法であって、

既に基板を形成している基板層の層構成の情報と、後に追加する基板層の層構成の情報と、それらの層構成全体の順番の情報を参照して新規の層構成を生成し、前記新規の層構成の情報を前記記憶手段に記憶させる層追加工程と、

前記新規の層構成の基板層に取り付ける各ピンの位置の情報と、各ピンの接続関係の情報と、既存のビアの情報を参照して新規のビアを生成し、前記新規のビアの位置の情報および形状の情報を前記記憶装置に記憶させるビア生成工程と、

前記新規の層構成に既存の配線の情報と、配線を引くことを不可とする既存の配線禁止領域の情報と、前記新規のビアの情報を参照して新規の配線禁止領域を生成し、前記新規の配線禁止領域の情報を前記記憶手段に記憶させる配線禁止領域生成工程と、

前記記憶手段に記憶されている前記新規の層構成の情報、前記新規のビアの情報、前記新規の配線禁止領域の情報を参照して、新規の配線経路を検出し、前記新規の配線経路を備えた前記新規の層構成、総数を前記出力手段に出力する配線経路検索工程を有することを特徴とする基板層数見積もり方法。

【請求項 5】 基板層に取り付ける各ピンにて、少なくとも 2 つ以上のピン

をまとめて取り扱い、1つのピン群を形成するものとし、あるピン群と他のピン群の接続関係はピン群を構成するピンの接続の組み合わせ（ネット割り当て）に依らないことを特徴とし、

前記ビア生成工程にて、さらに各ピン群の位置の情報と、各ピン群の接続関係の情報も参照され、新規のビアが生成され、前記新規のビアの位置の情報および形状の情報が前記記憶手段に記憶され、

前記配線経路検索工程にて、前記記憶手段に記憶されている新規のビアの情報が参照されることで、さらに前記ネット割り当ても前記出力手段に出力されることを特徴とする請求項 4 に記載の基板層数見積もり方法。

【請求項 6】 前記配線経路検索手段にて、前記新規の層構成、総数が前記出力手段に出力されるときは、前記新規の配線経路の確保率が 1 0 0 % のときであることを特徴とする請求項 4 または 5 に記載の基板層数見積もり方法。

【請求項 7】 コンピュータに、基板の配線設計にて、前記基板を形成する基板層の構造の情報または基板層の数の情報と、基板層に取り付ける各ピンの位置の情報と、基板層に設けるビアの形状の情報を記憶する記憶手段と、前記記憶手段に記憶された各情報を参照し、所定の配線結果を出力する出力手段として機能させ、基板層の必要総数を決定する基板層数見積もりプログラムであって、

既に基板を形成している基板層の層構成の情報と、後に追加する基板層の層構成の情報と、それらの層構成全体の順番の情報を参照して新規の層構成を生成し、前記新規の層構成の情報を前記記憶手段に記憶させる層追加手段と、

前記新規の層構成の基板層に取り付ける各ピンの位置の情報と、各ピンの接続関係の情報と、既存のビアの情報を参照して新規のビアを生成し、前記新規のビアの位置の情報および形状の情報を前記記憶装置に記憶させるビア生成手段と、

前記新規の層構成に既存の配線の情報と、配線を引くことを不可とする既存の配線禁止領域の情報と、前記新規のビアの情報を参照して新規の配線禁止領域を生成し、前記新規の配線禁止領域の情報を前記記憶手段に記憶させる配線禁止領域生成手段と、

前記記憶手段に記憶されている前記新規の層構成の情報、前記新規のビアの

情報、前記新規の配線禁止領域の情報を参照して、新規の配線経路を検出し、前記新規の配線経路を備えた前記新規の層構成、総数を前記出力手段に出力する配線経路検索手段として機能させることを特徴とする基板層数見積もりプログラム。

【請求項 8】 基板層に取り付ける各ピンにて、少なくとも 2 つ以上のピンをまとめて取り扱い、1 つのピン群を形成するものとし、あるピン群と他のピン群の接続関係はピン群を構成するピンの接続の組み合わせ（ネット割り当て）に依らないことを特徴とし、

前記ビア生成手段に対し、さらに各ピン群の位置の情報と、各ピン群の接続関係の情報も参照させ、新規のビアを生成させ、前記新規のビアの位置の情報および形状の情報を前記記憶手段に記憶させ、

前記配線経路検索手段に対し、前記記憶手段に記憶されている新規のビアの情報を参照させることで、さらに前記ネット割り当ても前記出力手段に出力させることを特徴とする請求項 7 に記載の基板層数見積もりプログラム。

【請求項 9】 前記配線経路検索手段に前記新規の層構成、総数を前記出力手段に出力させるときは、前記新規の配線経路の確保率が 1 0 0 % のときであることを特徴とする請求項 7 または 8 に記載の基板層数見積もりプログラム。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、プリント基板または L S I パッケージにおいて、必要な配線を引くために必要な層数を見積もることのできる基板層数見積もりシステム、方法、プログラムを提供するものである。

##### 【0 0 0 2】

#### 【従来の技術】

多層構造のプリント基板、L S I パッケージの自動配線設計を行う際には、異なる層間で電氣的接続を行うビアの形状を考慮し、層数を見積もることで、引くべき配線の全体の実装仕様を設計していくことになる。

##### 【0 0 0 3】

従来のビアと層数の見積もりに関するシステムの一例が、特許文献1に記載されている。図8は特許文献1に記載されている概略配線経路層割り当て方式のブロック図であるが、図8に示すように、特許文献1に記載の概略配線経路層割り当て方式は、領域抽出手段と、経路交差抽出手段と、非交差経路集合抽出手段と、層割り当て手段と、割り当て調整手段とから構成されている。

#### 【0004】

このような構成を有する特許文献1に記載のシステムのビアと層数見積もりに関する部分はつぎのように動作する。すなわち、層割り当て手段24は、交差情報ならびに非交差経路集合および残余経路集合を参照して当該領域に関する詳細配線のための層割り当てを行う。割り当て調整手段25は、層割り当て手段24による層割り当てが実行可能であるか否かを判断し、「実行不能」と判断した場合には当該層割り当ての調整を行う。

#### 【0005】

しかし、特許文献1の技術では、固定された層数内での当該層割り当て、つまりビア数を見積もることであるため、プリント基板上のBGAの引き出し配線やLSIパッケージのようにビア数が決まっている状態で必要な基板層数を見積もることはできない。

#### 【0006】

特許文献2に記載の技術は、基板設計情報入力部、実装仕様入力部各々から入力される回路図、部品及び基板に関する設計情報及び実装仕様案と、過去の実績から求められたデータに基づいて、プリント基板の設計に必要なデータを算出する各算出部でそれぞれ配線容量、配線阻害割合、区間数割合、部品実装割合を算出し、この算出結果を実績データ入力部からの過去の実績データを評価目安として比較部で比較し、その比較結果を表示部で表示するようにして、プリント基板が設計されるに際し、初期段階で配線収容性や部品搭載性が評価可として、信号層数やチャネル数等の実装仕様を決定するものであり、つまり特許文献1の技術の手順とは逆で、ビア数が決まっている状態で必要な基板層数を見積もるようにしたものである。

#### 【0007】



この特許文献2に記載の技術は、信号層数やチャネル数等の実装仕様を効率的に、しかも迅速に決定するために初期段階での配線収容性や、部品搭載性をきちんと評価するために、各算出部が配線容量、配線阻害割合、区間数割合、部品実装割合をできるだけ誤差を少なくして算出していくことを重視している。

#### 【0008】

近年のプリント基板、LSIパッケージの小型化に伴い、その配線設計の効率性と、迅速性を追求することは言うに俟たないが、そのためには配線容量、配線阻害割合、区間数割合、部品実装割合といった最終的なデータだけを考慮するだけでなく、対象となる層の数、その中に存在するビアの位置、形状を考慮した上で如何なる配線の引き方が有効であるか、配線を完全に引ききって配線経路を完全に確保するにはどうする必要があるか、といった設計のプロセスも考慮することが必要である。というのは、実際に層構成を決定していくときに、ある箇所にある層を追加すると、配線経路にとってのビアの位置等が逐次変化するからである。別の層を追加する場合には追加することでビアのあり方がどう変わるかを考慮する必要性がでてくる。特許文献2に記載の技術では、この必要性に対応することは難しい。

#### 【0009】

##### 【特許文献1】

特開2000-331038号公報

##### 【特許文献2】

特開2002-056045号公報

#### 【0010】

##### 【発明が解決しようとする課題】

本発明では上記問題を鑑みて、プリント基板またはLSIパッケージの追加層の順序を表す情報と、追加された層に存在するビア等の配線の障害物を考慮して配線経路を検索することで、プリント基板またはLSIパッケージの必要層数を見積もることができる基板層数見積もりシステム、方法、プログラムを提供することを目的とする。

#### 【0011】

また配線設計にて、基板層に取り付けるピンの接続関係を参照するときに、接続関係にあるピンの任意の組み合わせ方を可能にするようなピン群という考えを導入し、前記組み合わせの指標となるネット割り当て結果を参照することで、追加する必要のある基板層の総数を最も少なくすることを目的とする。

#### 【0012】

また、配線設計を効率的、迅速なものとするため、追加した後の層構成、総数を出力するかどうかの判断基準を妥当なものとするのを目的とする。

#### 【0013】

##### 【課題を解決するための手段】

かかる目的を解決するため、請求項1に記載の発明は、基板の配線設計にて、基板を形成する基板層の構造の情報または基板層の数の情報と、基板層に取り付ける各ピンの位置の情報と、基板層に設けるヴィアの形状の情報を記憶する記憶手段と、記憶手段に記憶された各情報を参照し、所定の配線結果を出力する出力手段とを有し、基板層の必要総数を決定する基板層数見積もりシステムであって、既に基板を形成している基板層の層構成の情報と、後に追加する基板層の層構成の情報と、それらの層構成全体の順番の情報を参照して新規の層構成を生成し、新規の層構成の情報を記憶手段に記憶させる層追加手段と、新規の層構成の基板層に取り付ける各ピンの位置の情報と、各ピンの接続関係の情報と、既存のヴィアの情報を参照して新規のヴィアを生成し、新規のヴィアの位置の情報および形状の情報を記憶装置に記憶させるヴィア生成手段と、新規の層構成に既存の配線の情報と、配線を引くことを不可とする既存の配線禁止領域の情報と、新規のヴィアの情報を参照して新規の配線禁止領域を生成し、新規の配線禁止領域の情報を記憶手段に記憶させる配線禁止領域生成手段と、記憶手段に記憶されている新規の層構成の情報、新規のヴィアの情報、新規の配線禁止領域の情報を参照して、新規の配線経路を検出し、新規の配線経路を備えた新規の層構成、総数を出力手段に出力する配線経路検索手段を有することを特徴とする。

#### 【0014】

請求項2に記載の発明は、請求項1に記載の発明において、基板層に取り付ける各ピンにて、少なくとも2つ以上のピンをまとめて取り扱い、1つのピン群を

形成するものとし、あるピン群と他のピン群の接続関係はピン群を構成するピンの接続の組み合わせ（ネット割り当て）に依らないことを特徴とし、ビア生成手段は、さらに各ピン群の位置の情報と、各ピン群の接続関係の情報も参照して、新規のビアを生成し、新規のビアの位置の情報および形状の情報を記憶手段に記憶させ、配線経路検索手段は、記憶手段に記憶されている新規のビアの情報を参照することで、さらにネット割り当ても出力手段に出力することを特徴とする。

#### 【0015】

請求項3に記載の発明は、請求項1または2に記載の発明において、配線経路検索手段が新規の層構成、総数を出力手段に出力するときは、新規の配線経路の確保率が100%のときであることを特徴とする。

#### 【0016】

請求項4に記載の発明は、基板の配線設計にて、基板を形成する基板層の構造の情報または基板層の数の情報と、基板層に取り付ける各ピンの位置の情報と、基板層に設けるビアの形状の情報を記憶する記憶手段と、記憶手段に記憶された各情報を参照し、所定の配線結果を出力する出力手段とを有し、基板層の必要総数を決定する基板層数見積もりシステムによる基板層数見積もり方法であって、既に基板を形成している基板層の層構成の情報と、後に追加する基板層の層構成の情報と、それらの層構成全体の順番の情報を参照して新規の層構成を生成し、新規の層構成の情報を記憶手段に記憶させる層追加工程と、新規の層構成の基板層に取り付ける各ピンの位置の情報と、各ピンの接続関係の情報と、既存のビアの情報を参照して新規のビアを生成し、新規のビアの位置の情報および形状の情報を記憶装置に記憶させるビア生成工程と、新規の層構成に既存の配線の情報と、配線を引くことを不可とする既存の配線禁止領域の情報と、新規のビアの情報を参照して新規の配線禁止領域を生成し、新規の配線禁止領域の情報を記憶手段に記憶させる配線禁止領域生成工程と、記憶手段に記憶されている新規の層構成の情報、新規のビアの情報、新規の配線禁止領域の情報を参照して、新規の配線経路を検出し、新規の配線経路を備えた新規の層構成、総数を出力手段に出力する配線経路検索工程を有することを特徴とする。

## 【0017】

請求項5に記載の発明は、請求項4に記載の発明において、基板層に取り付ける各ピンにて、少なくとも2つ以上のピンをまとめて取り扱い、1つのピン群を形成するものとし、あるピン群と他のピン群の接続関係はピン群を構成するピンの接続の組み合わせ（ネット割り当て）に依らないことを特徴とし、ビア生成工程にて、さらに各ピン群の位置の情報と、各ピン群の接続関係の情報も参照され、新規のビアが生成され、新規のビアの位置の情報および形状の情報が記憶装置に記憶され、配線経路検索工程にて、記憶手段に記憶されている新規のビアの情報が参照されることで、さらにネット割り当ても出力手段に出力されることを特徴とする。

## 【0018】

請求項6に記載の発明は、請求項4または5に記載の発明において、配線経路検索手段にて、新規の層構成、総数が出力手段に出力されるときは、新規の配線経路の確保率が100%のときであることを特徴とする。

## 【0019】

請求項7に記載の発明は、コンピュータに、基板の配線設計にて、基板を形成する基板層の構造の情報または基板層の数の情報と、基板層に取り付ける各ピンの位置の情報と、基板層に設けるビアの形状の情報を記憶する記憶手段と、記憶手段に記憶された各情報を参照し、所定の配線結果を出力する出力手段として機能させ、基板層の必要総数を決定する基板層数見積もりプログラムであって、既に基板を形成している基板層の層構成の情報と、後に追加する基板層の層構成の情報と、それらの層構成全体の順番の情報を参照して新規の層構成を生成し、新規の層構成の情報を記憶手段に記憶させる層追加手段と、新規の層構成の基板層に取り付ける各ピンの位置の情報と、各ピンの接続関係の情報と、既存のビアの情報を参照して新規のビアを生成し、新規のビアの位置の情報および形状の情報を記憶装置に記憶させるビア生成手段と、新規の層構成に既存の配線の情報と、配線を引くことを不可とする既存の配線禁止領域の情報と、新規のビアの情報を参照して新規の配線禁止領域を生成し、新規の配線禁止領域の情報を記憶手段に記憶させる配線禁止領域生成手段と、記憶手段に記憶されている新

規の層構成の情報、新規のビアの情報、新規の配線禁止領域の情報を参照して、新規の配線経路を検出し、新規の配線経路を備えた新規の層構成、総数を出力手段に出力する配線経路検索手段として機能させることを特徴とする。

#### 【0020】

請求項 8 に記載の発明は、請求項 7 に記載の発明において、基板層に取り付ける各ピンにて、少なくとも 2 つ以上のピンをまとめて取り扱い、1 つのピン群を形成するものとし、あるピン群と他のピン群の接続関係はピン群を構成するピンの接続の組み合わせ（ネット割り当て）に依らないことを特徴とし、ビア生成手段に対し、さらに各ピン群の位置の情報と、各ピン群の接続関係の情報も参照させ、新規のビアを生成させ、新規のビアの位置の情報および形状の情報を記憶手段に記憶させ、配線経路検索手段に対し、記憶手段に記憶されている新規のビアの情報を参照させることで、さらにネット割り当ても出力手段に出力させることを特徴とする。

#### 【0021】

請求項 9 に記載の発明は、請求項 7 または 8 に記載の発明において、配線経路検索手段に新規の層構成、総数を出力手段に出力させるときは、新規の配線経路の確保率が 100% のときであることを特徴とする。

#### 【0022】

##### 【発明の実施の形態】

以下に本発明の実施の形態を図面を参照して説明する。

#### 【0023】

##### <実施の形態 1 の構成>

図 1 を参照すると、本発明の基板層数見積もりシステムの実施の形態 1 は、本システム 1 と、記憶装置 3 と、出力装置 4 とから構成されている。

#### 【0024】

プログラム制御により動作する本システム 1 は層追加手段 11 と、ビア生成手段 12 と、配線禁止領域生成手段 13 と、配線経路探索手段 14 とから構成されている。これらの手段はそれぞれ概略つぎのように動作する。

#### 【0025】

層追加手段 11 は、追加層構成定義ファイル 23 に保持されている追加する層順の情報を基に、層構成を記憶装置 3 上に展開する。

#### 【0026】

ビア生成手段 12 は、ピン位置情報ファイル 21 とネットリストファイル 22 から電源またはグランドピンの位置情報を得て、その位置から、追加層構成定義ファイル 23 に定義されている電源またはグランド層までビアを生成し、記憶装置 3 上に展開する。この時ビアの形状は追加層構成定義ファイル 23 から得る。

#### 【0027】

配線禁止領域生成手段 13 は、ネットリストファイル 22 から既存の配線や配線禁止領域情報を得て、記憶装置 3 上に展開する。

#### 【0028】

配線経路探索手段 14 は、記憶装置 3 上に展開されたビア、既存配線や配線禁止領域情報と、ピン位置情報ファイル 21 とネットリストファイル 22 から得られるピンと他のピンの接続関係を基に、現在記憶装置 3 上に展開されている層構成で配線経路が何%確保できるかを判断する。

#### 【0029】

本システム 1 は、配線経路探索手段 13 による配線経路確保が 100% になった時の層構成を、必要な層構成および層数として出力装置 4 に出力する。

#### 【0030】

<実施の形態 1 の動作>

次に、図 1 のブロック図および図 2 のフローチャートを参照して実施の形態 1 の全体の動作について詳細に説明する。

#### 【0031】

まず、層追加手段 11 が追加層構成定義ファイル 23 の情報を基に最初の層構成を記憶装置 3 上に展開する (F11)。

#### 【0032】

次に、ビア生成手段 12 がピン位置情報ファイル 21 とネットリストファイル 22 から電源またはグランドピンの位置情報を得て、該当ピンのその位置から

電源またはグラウンド層までヴィアを生成し記憶装置 3 上に展開する (F 1 2)。  
この時どの電源またはグラウンド層までヴィアを生成するかは追加層構成定義ファイル 2 3 の各層の電源・グラウンドネット名情報を用いる。

#### 【0033】

次に、配線禁止領域生成手段 1 3 が、ネットリストファイル 2 2 から既存の配線や配線禁止領域情報を得て、配線を引く際の障害となる既存の配線や配線禁止領域情報を記憶装置 3 上に展開する (F 1 3)。

#### 【0034】

次に配線経路探索手段 1 4 が、F 1 1 で展開された層構成と、F 1 1 から F 1 3 で展開された配線の障害となる電源またはグラウンドのヴィア、既存の配線および配線禁止領域情報を、配線経路を探索するための情報とし、ピン位置情報ファイル 2 1 とネットリストファイル 2 2 から得られるピンと他のピンの接続関係情報により、これらの接続関係を配線するための配線経路の探索を行う (F 1 4)

。

#### 【0035】

F 1 4 の結果、全接続関係を配線するための配線経路が 100% 確保できた場合は F 1 1 で展開した層構成およびその層数を出力装置 4 に出力する (F 1 5)

。

#### 【0036】

もし配線経路が 100% 確保できなかった場合は F 1 1 に戻り、追加層構成定義ファイル 2 3 から次に追加する層情報を得て、現状の層構成に追加し、記憶装置 3 上に展開する (F 1 1)。

このようにして、F 1 5 で配線確保率が 100% になり、層構成およびその層数を出力装置 4 に出力するまで F 1 1 から F 1 5 までを繰り返す。

#### 【0037】

<実施の形態 1 の具体例>

次に、実施の形態 1 の具体例を説明する。

#### 【0038】

図 3 に示すように、層追加手段 1 1 が追加層構成定義ファイル 2 3 の情報を基

に最初の層構成 P 1 から P 5 の 5 層構造を記憶装置 3 に展開する。

#### 【0039】

次に、ビア生成手段 12 がピン位置情報ファイル 21 を参照し、各部品（P 11 等）のピン群（P 21 から P 24）や、プリント基板または LSI パッケージ自体が持っているピン（P 31 から P 34）の位置情報を記憶装置 3 上に追加展開する。続いてネットリストファイル 22 を参照し、展開したピンの接続の組み合わせを記憶装置 3 に展開する（P 71）。

この時、ネットリストファイル 22 と追加層構成定義ファイル 23 を参照し、電源またはグランドピンと認識された場合（P 22、P 33）、各ピンからそのピンのネット名と同じネット名が定義されている層にビアを接続する。

図 3 の例では、電源またはグランドピン P 22 のネット名と、P 4 層に定義されたネット名が同名の場合、P 22 の位置から P 4 層までビア P 41 を生成する。同様に電源またはグランドピン P 33 のネット名と、P 3 層に定義されたネット名が同名の場合、P 33 の位置から P 3 層までのビア P 42 を生成する。

上記のビア生成は埋め込みビアタイプの場合であり、貫通ビアの場合は生成されるビアは全層（P 1 から P 5 まで）を全て貫通するように生成する。ビアの生成で埋め込みタイプか貫通タイプかは追加層構成定義ファイル 23 で指定される。

#### 【0040】

次に配線禁止領域生成手段 13 がネットリストファイル 22 を参照し、既存の配線やビア P 51、配線禁止領域 P 61 の情報を得て、記憶装置 3 上に追加展開する。

#### 【0041】

上記処理にて生成されたピン位置、既存配線やビア、配線禁止領域、電源およびグランドのビアと、ネットリストファイル 22 から得られる各ピンの接続情報 P 71 を基に、配線経路検索手段 14 がネットリストファイル 22 にて規定された長さおよび範囲内で配線経路が確保できるかを判断し、ピンの接続情報中何%配線できたかを判断（図 2 の F 15）する。

#### 【0042】



その結果配線経路確保率が100%でない場合、層追加手段11が追加層構成定義ファイル23を参照し、次に追加すべき層情報（図4のP81）を得て層構成（P1からP5とP81）を記憶装置3上に展開する。この層構成を基に図2のF12からの処理を再度行う。

#### 【0043】

配線経路確保率の判断時（図2のF15）において100%確保できた場合は、その時の層構成、層数を出力装置4に出力する。この層構成、層数が現状必要な層構成、層数と見積もられる。

#### 【0044】

図4において、P1からP5の構成で配線経路確保率が100%に満たない場合、次の層を追加して再度配線経路確保率が100%になるかを判断する。

この時、層P81を追加する場合はP91の位置に電源またはグランドヴィアが生成される。つまり追加される配線層にはP91の位置に配線の障害物が存在することになる。

一方追加する層がP81ではなくP82の場合は、P92の位置に電源またはグランドヴィアが生成される。つまり追加される配線層にはP92の位置に配線の障害物が存在する。

#### 【0045】

この様に、どの部分に層を追加するかで、配線経路にとっての障害物の位置等が変化するため、配線経路探索に影響を与える。従って、配線層を追加する際にどの順番で層追加を行うかを指定して処理することが重要であり、本システム1はその情報を考慮して動作する。

#### 【0046】

次に、本発明の実施の形態2について図面を参照して詳細に説明する。

#### 【0047】

##### <実施の形態2の構成>

図5を参照すると、本発明の基板層数見積もりシステムの実施の形態2は、本システム1と、記憶装置3と、出力装置4とから構成されている。

#### 【0048】

プログラム制御により動作する本システム 1 は層追加手段 11 と、ビア生成手段 12 と、配線禁止領域生成手段 13 と配線経路探索およびネット割り当て手段 15 とから構成されている。これらの手段はそれぞれ概略つぎのように動作する。

#### 【0049】

層追加手段 11 は、追加層構成定義ファイル 23 に保持されている追加する層の情報を基に、層構成を記憶装置 3 上に展開する。

#### 【0050】

ビア生成手段 12 は、ピン位置情報ファイル 21 とネットリストファイル 22 から電源またはグランドピンの位置情報を得て、その位置から、追加層構成定義ファイル 23 に定義されている電源またはグランド層までビアを生成し、記憶装置 3 に展開する。この時ビアの形状は追加層構成定義ファイル 23 から得る。

#### 【0051】

配線禁止領域生成手段 13 は、ネットリストファイル 22 から既存の配線や配線禁止領域情報を得て、記憶装置 3 上に展開する。

#### 【0052】

配線経路探索およびネット割り当て手段 15 は、記憶装置 3 上に展開されたビア、既存配線や配線禁止領域情報と、ピン位置情報ファイル 21 とネットリストファイル 22 から得られるピンと他のピンの接続関係およびピン群と他のピン群で接続が可能であるという情報を基に、現在記憶装置 3 上に展開されている層構成で配線経路が何%確保できるかを判断する。

#### 【0053】

本システム 1 は、配線経路探索手段 13 による配線経路確保が 100% になった時の層構成を、必要な層構成および層数として出力装置 4 に出力する。

#### 【0054】

<実施の形態 2 の動作>

次に、図 5 のブロック図および図 6 のフローチャートを参照して実施の形態 2 の全体の動作について詳細に説明する。

## 【0055】

まず、層追加手段11が追加層構成定義ファイル23の情報を基に最初の層構成を記憶装置上に展開する(F11)。

## 【0056】

次に、ビア生成手段12がピン位置情報ファイル21とネットリストファイル22から電源またはグランドピンの位置情報を得て、該当ピンのその位置から電源またはグランド層までビアを生成し記憶装置3上に展開する(F12)。この時どの電源またはグランド層までビアを生成するかは追加層構成定義ファイル23の各層の電源・グランドネット名情報を用いる。

## 【0057】

次に、配線禁止領域生成手段13が、ネットリストファイル22から既存の配線や配線禁止領域情報を得て、配線を引く際の障害となる既存の配線や配線禁止領域情報を記憶装置3上に展開する(F13)。

## 【0058】

次に配線経路探索およびネット割り当て手段15が、F11で展開された層構成と、F11からF13で展開された配線の障害となる電源またはグランドのビア、既存の配線および配線禁止領域情報を、配線経路を探索するための情報とし、ピン位置情報ファイル21とネットリストファイル22から得られるピンと他のピンの接続関係情報およびピン群と他のピン群の接続関係情報により、これらの接続関係を配線するための配線経路の探索を行う(F21)。

## 【0059】

F21の結果、全接続関係を配線するための配線経路が100%確保できた場合はF11で展開した層構成およびその層数を出力装置4に出力する(F15)。

## 【0060】

もし配線経路が100%確保できなかった場合はF11に戻り、追加層構成定義ファイル23から次に追加する層情報を得て、現状の層構成に追加し、記憶装置3上に展開する(F11)。

このようにして、F15で配線確保率が100%になり、層構成およびその層

数を出力装置 4 に出力するまで F 1 1 から F 1 5 までを繰り返す。

#### 【0061】

＜実施の形態 2 の具体例＞

次に、実施の形態 2 の具体例を説明する。

#### 【0062】

図 7 に示すように、層追加手段 1 1 が追加層構成定義ファイル 2 3 の情報を基に最初の層構成 P 1 から P 5 の 5 層構造を記憶装置 3 に展開する。

#### 【0063】

次に、ビア生成手段 1 2 がピン位置情報ファイル 2 1 を参照し、各部品（P 1 1 等）のピン群（P 2 1 から P 2 6）や、プリント基板または L S I パッケージ自体が持っているピン（P 3 1 から P 3 6）の位置情報を記憶装置 3 上に追加展開する。続いてネットリストファイル 2 2 を参照し、展開したピンの接続の組み合わせ（例として図 7 の P 2 3 と P 3 2）を記憶装置 3 に展開する（P 7 1）。また、ネットリストファイル 2 2 を参照し、展開したピン群（図 7 の P 1 0 1 と P 1 0 2）が接続すること（P 1 1 1）を記憶装置 3 に展開する。

この時、ネットリストファイル 2 2 と追加層構成定義ファイル 2 3 を参照し、電源またはグランドピンと認識された場合（P 2 2、P 3 3）、各ピンからそのピンのネット名と同じネット名が定義されている層にビアを接続する。

図 7 の例では、電源またはグランドピン P 2 2 のネット名と、P 4 層に定義されたネット名が同名の場合、P 2 2 の位置から P 4 層までビア P 4 1 を生成する。同様に電源またはグランドピン P 3 3 のネット名と、P 3 層に定義されたネット名が同名の場合、P 3 3 の位置から P 3 層までのビア P 4 2 を生成する。

上記のビア生成は埋め込みビアタイプの場合であり、貫通ビアの場合は生成されるビアは全層（P 1 から P 5 まで）を全て貫通するように生成する。ビアの生成で埋め込みタイプか貫通タイプかは追加層構成定義ファイル 2 3 で指定される。

#### 【0064】

次に配線禁止領域生成手段 1 3 がネットリストファイル 2 2 を参照し、既存の配線やビア P 5 1、配線禁止領域 P 6 1 の情報を得て、記憶装置 3 上に追加展

開する。

#### 【0065】

上記処理にて生成されたピン位置、既存配線やヴィア、配線禁止領域、電源およびグランドのヴィアと、ネットリストファイル22から得られる各ピンの接続情報P71、各ピン群の接続情報P111を基に、配線経路検索およびネット割り当て手段15がネットリストファイル22にて規定された長さおよび範囲内で配線経路が確保できるかを判断する。この時、ピン群P101とピン群P102間の接続は、どの組み合わせでも可能であるため、配線の規定長および範囲といった配線規定を守る範囲で、必要とする層数が最も少ない組み合わせを選び出す。その結果、ピン群P101とピン群P102のそれぞれのピンの接続組み合わせが決定され、その組み合わせをネット割り当て情報とする。この配線経路確保およびネット割り当て処理の結果、ピンの接続情報中何%配線できたかを判断（図6のF15）する。

#### 【0066】

その結果配線経路確保率が100%でない場合、層追加手段11が追加層構成定義ファイル23を参照し、次に追加すべき層情報（P81）を得て層構成（P1からP5とP81）を記憶装置3上に展開する。この層構成を基に図6のF12からの処理を再度行う。

#### 【0067】

配線経路確保率の判断時（図6のF15）において100%確保できた場合は、その時の層構成、層数およびネット割り当て結果を出力装置4に出力する。この層構成、層数およびネット割り当て情報が現状必要な層構成、層数およびネット割り当て結果と見積もられる。

#### 【0068】

##### 【発明の効果】

本発明により、プリント基板またはLSIパッケージの必要層数を見積もることができる。その理由は、プリント基板またはLSIパッケージの追加層順序情報と、追加された層に存在するヴィア等の配線の障害物を考慮して配線経路を検索するためである。

**【 0 0 6 9 】**

また、配線設計するときに、基板層に取り付けるピンの接続関係を参照するときに、接続関係にあるピンの任意の組み合わせ方を可能にするようなピン群という考えを導入し、前記組み合わせの指標となるネット割り当て結果を参照することで、追加する必要がある基板層の総数を最も少なくすることができる。

**【 0 0 7 0 】**

また、配線設計を効率的、迅速なものとするため、追加した後の層構成、総数を出力するかどうかの判断基準を妥当なものとすることができる。

**【図面の簡単な説明】****【図 1】**

実施の形態 1 における本システム 1 の構成ブロック図である。

**【図 2】**

実施の形態 1 における動作処理フローチャートである。

**【図 3】**

実施の形態 1 の具体例における層構成の概観図である。

**【図 4】**

実施の形態 1 の具体例における層構成の概観図である。

**【図 5】**

実施の形態 2 における本システム 1 の構成ブロック図である。

**【図 6】**

実施の形態 2 における動作処理フローチャートである。

**【図 7】**

実施の形態 2 の具体例における層構成の概観図である。

**【図 8】**

従来のビアと層数の見積もり技術の一例に関する概略配線経路層割り当て方式の構成ブロック図である。

**【符号の説明】**

- 1 本システム
- 3 記憶装置

#### 4 出力装置

##### 1 1 層追加手段

##### 1 2 ヴィア生成手段

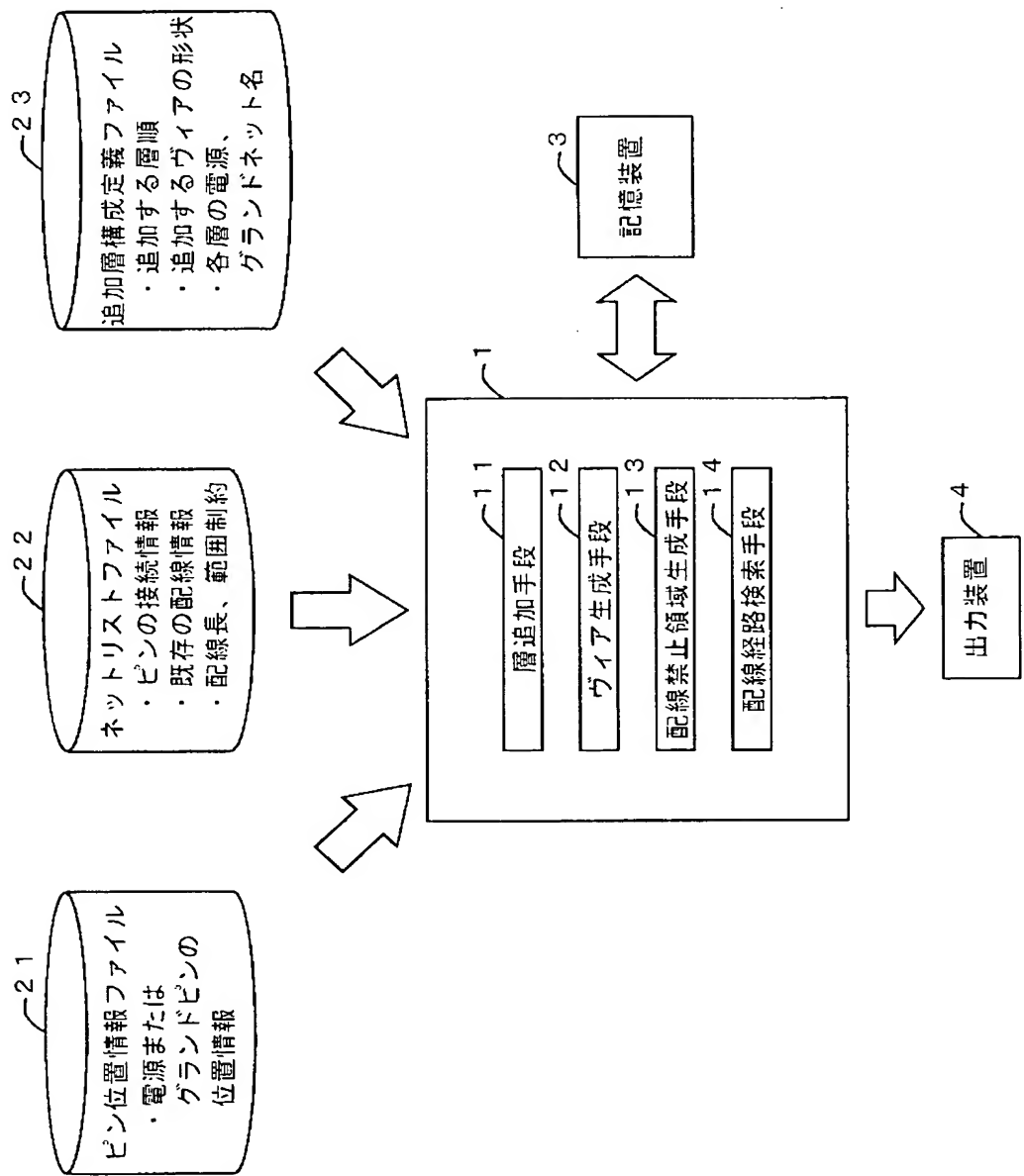
##### 1 3 配線禁止領域生成手段

##### 1 4 配線経路探索手段

##### 1 5 配線経路探索およびネット割り当て手段

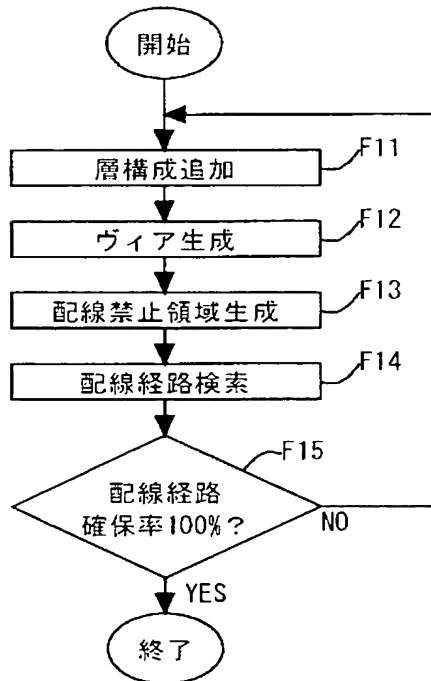
【書類名】 図面

【図 1】

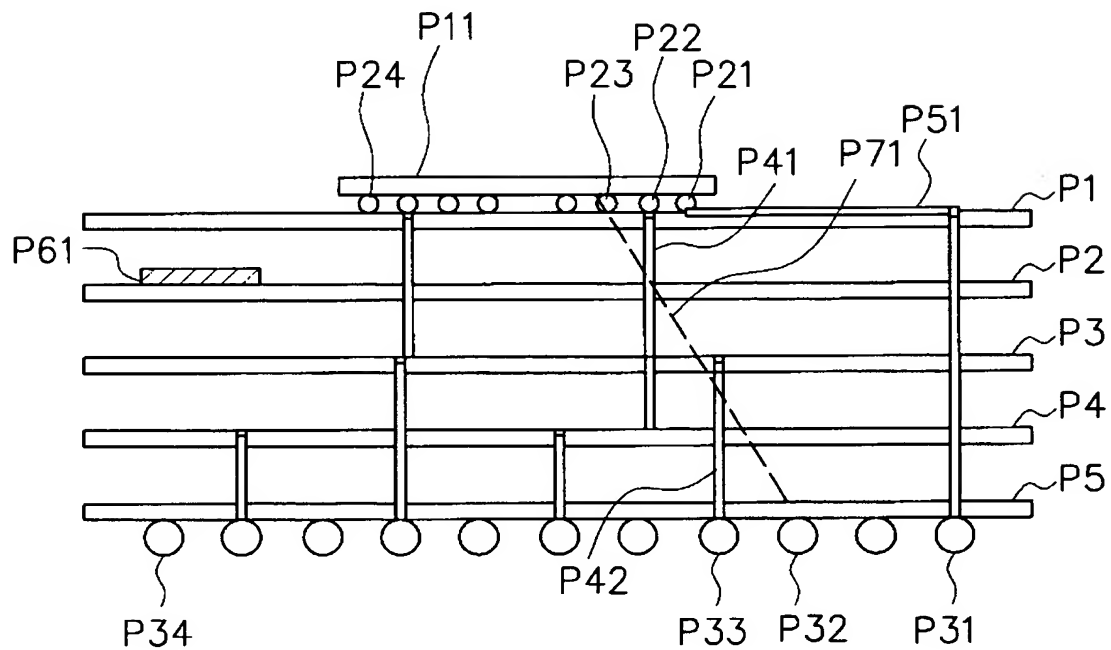




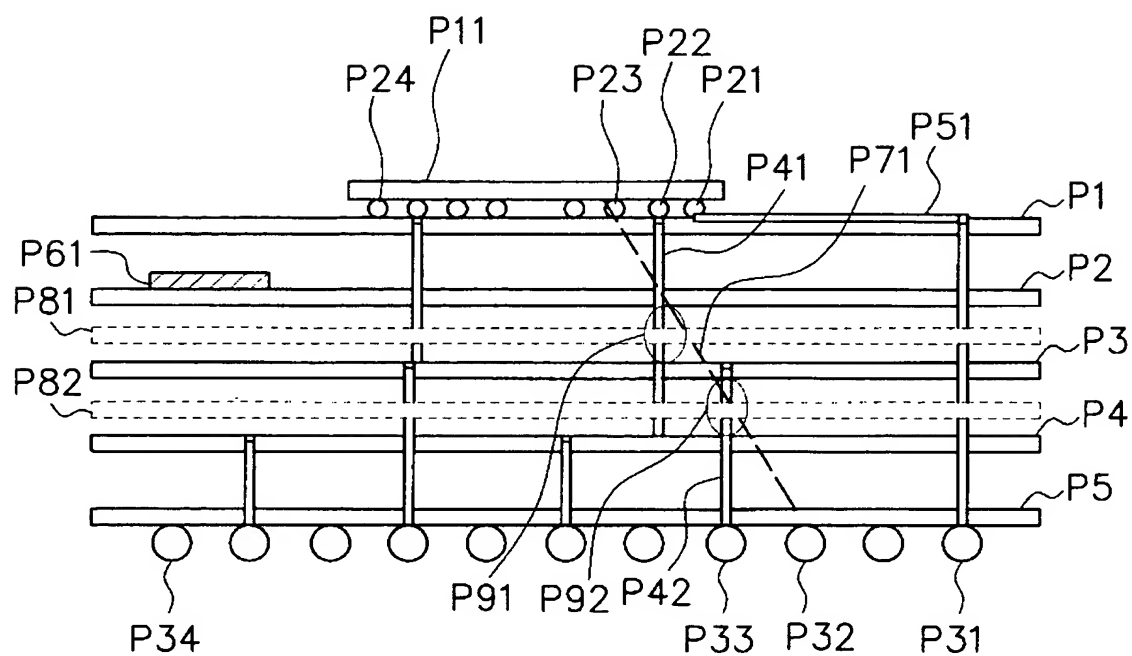
【図 2】



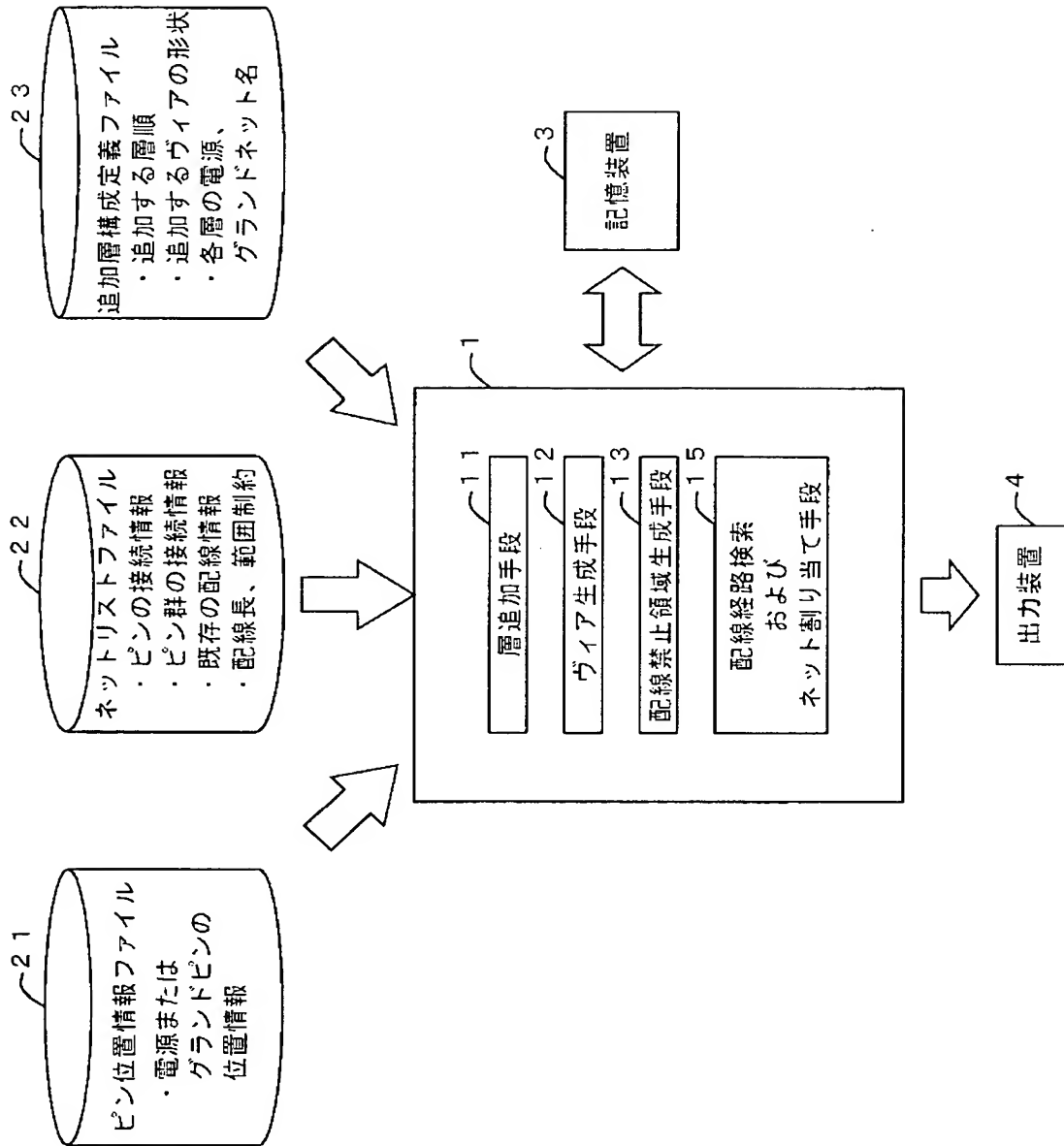
【図 3】



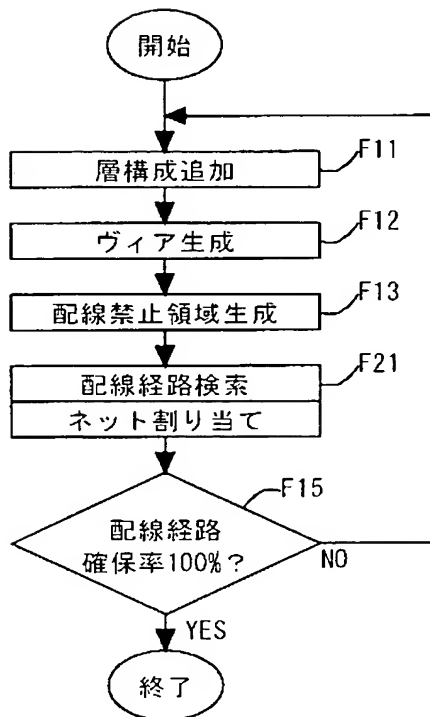
【図 4】



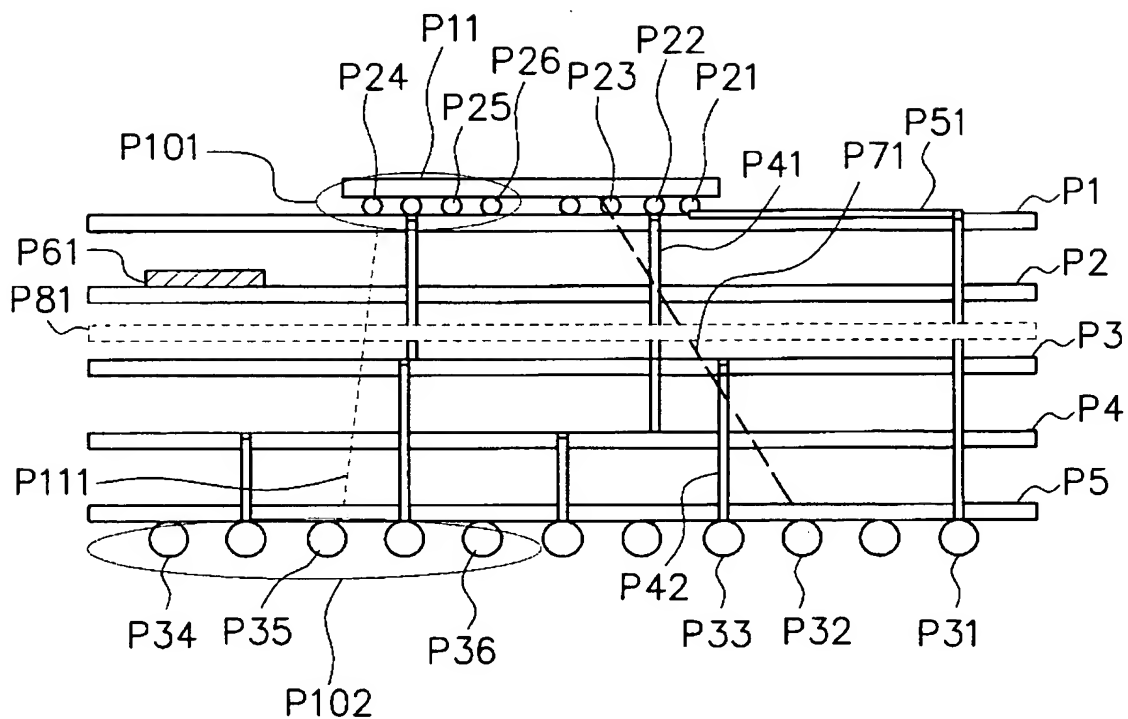
【図 5】



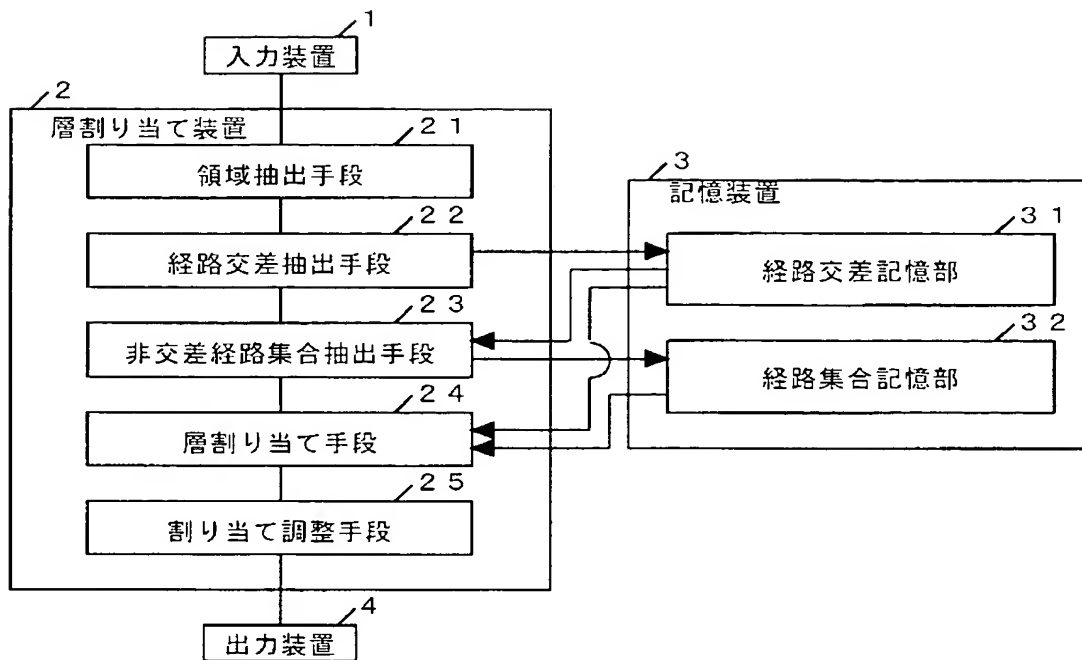
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 プリント基板またはLSIパッケージにおいて、必要な配線を引くために必要な層数を見積もる基板層数見積もりシステム、方法、プログラムを提供する。

【解決手段】 本システム1はピン位置情報ファイル21、ネットリストファイル22から、各部品のピンの位置、接続情報を得て、また追加層構成定義ファイル23より追加する層の順序情報や、各層でのビア径の情報により、配線の障害となる情報を得て、層構成、ビア、配線禁止領域を記憶装置3に記憶させる。配線経路探索手段14は、この層構成で必要な配線が引ききれんかどうかを判断する。できない場合は追加層情報に従って次の順序の層を追加し、ビア等の障害物を考慮し、必要な配線が引ききれんかどうかの判断を再度行う。引ききれたら、現状の層構成を出力装置4に出力する。こうして必要な層数、層構成の見積もりを可能にする。

【選択図】 図1

特願 2 0 0 3 - 0 3 8 4 1 9

出 願 人 履 歴 情 報

識別番号

[ 3 9 4 0 1 7 4 9 1 ]

1. 変更年月日  
[変更理由]

1 9 9 6 年 4 月 1 8 日

住所変更

住 所  
氏 名

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号  
株式会社エヌイーシー情報システムズ

2. 変更年月日  
[変更理由]

2 0 0 3 年 8 月 2 9 日

名称変更

住 所  
氏 名

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号  
株式会社 N E C 情報システムズ